

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 56159726 A

(43) Date of publication of application: 09.12.81

(51) Int. Cl.

G06F 3/00

G06F 9/46

G06F 15/06

(21) Application number: 55061723

(22) Date of filing: 12.05.80

(71) Applicant: ANDO ELECTRIC CO LTD

(72) Inventor: Horigome Masao
Asai Hironobu

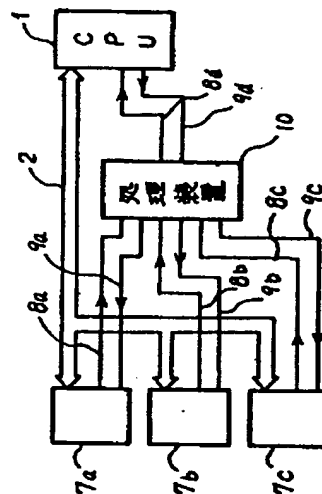
(54) BUS REQUEST PROCESSOR

COPYRIGHT: (C)1981, JPO&Japio

(57) Abstract:

PURPOSE: To control a bus request signal and bus acknowledgment signal in terms of both priority and timing by providing each equipment with a bus request processor supplied with the bus acknowledgment signal and by determining the conditions of the use of a common bus by the request processor.

CONSTITUTION: Control lines 8aW8d are signal lines which send bus request signals to a CPU1, and control lines 9aW9d are signal lines which send bus acknowledgment signals from the CPU1 to equipments 7aW7c. The control lines 8aW8c are connected to inputs of a bus request processor 10 in parallel, and the control line 8d transfers one bus request signal to the CPU1. The control line 9d sends the bus acknowledgment signal from the CPU1 to the bus request processor 10, and the control lines 9aW9c send bus acknowledgment signals to equipments 7aW7c, respectively. In this case, only one of the control lines 9aW9c, determined by the bus request processor 10, sends the bus acknowledgment signal actually.



⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭56-159726

⑫ Int. Cl.³
G 06 F 3/00
9/46
15/06

識別記号
1 0 1

庁内整理番号
6711-5B
6745-5B
7257-5B

⑬ 公開 昭和56年(1981)12月9日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ バス要求処理装置

⑮ 特 願 昭55-61723

⑯ 出 願 昭55(1980)5月12日

⑰ 発 明 者 堀米正夫

東京都大田区蒲田4丁目19番7
号安藤電気株式会社内

⑱ 発 明 者 浅井浩暢

東京都大田区蒲田4丁目19番7
号安藤電気株式会社内

⑲ 出 願 人 安藤電気株式会社

東京都大田区蒲田4丁目19番7
号

⑳ 代 理 人 弁理士 小俣欽司

明 細 書

1 発明の名称 バス要求処理装置

2 特許請求の範囲

1. マイクロプロセッサと複数の装置が共通バスを使用するように接続されている場合に、前記複数の装置からのバス要求信号を並列入力とし、前記並列入力に対しあらかじめ定めた優先順位を与える優先順位指定回路と、前記優先順位指定回路の出力と前記マイクロプロセッサからのバス承認信号を入力とするサンプルホールド回路と、前記サンプルホールド回路の出力と前記バス要求信号を入力とし、その出力を前記マイクロプロセッサに送る第1のゲート回路と、前記サンプルホールド回路の出力と前記バス承認信号を入力とし、その出力を前記複数の装置に送る第2のゲート回路とを備え、前記複数の装置から1つ以上のバス要求信号がでると、前記優先順位と前記サンプルホールド回路の保持状態によって前記複数の装置の1つにバス承認信号を送ることを特徴とする要求処理装置。

3 発明の詳細な説明

この発明は、マイクロプロセッサと複数の装置が共通バスを使用するように接続されている場合に、あらかじめ定めた優先順位により共通バスの使用を制御するバス要求処理装置に関するものである。

このような装置では、通常マイクロプロセッサ(以下、CPUという)が共通バスを占有しており、CPU以外の装置が共通バスを使用するには次の過程が必要になる。

ア、共通バスを使いたい装置からCPUに対してバス要求信号を送る。

イ、CPUはそのバス要求信号に応じて共通バスの占有をやめ、バス承認信号を前記装置に送る。

ウ、前記装置はCPUからのバス承認信号を確認してから共通バスを使用する。

共通バスには、同時に異なる情報を伝達することはできない。したがって、複数の装置から同時に、または時間的にずれてバス要求信号がでたと

きは、優先順位や動作状態に応じてどれか1つの装置にだけバス承認信号を送るよう制御する必要がある。

さらに、CPUへのバス要求信号とCPUからのバス承認信号は一对の信号線なので、各装置からのバス要求信号をCPUへ送るための手段と、バス承認信号を各装置に分配し、かつ選ばれた装置にだけ伝達する手段とが必要になる。

第1図はこのような場合の従来装置の構成例である。通常は、CPUと複数の装置3a、3b、3cなどを共通バス2によって接続し、これらの装置を動作させている。複数の装置の例には、入出力装置、インタフェース回路、メモリ、他のCPUなどがある。装置3a～3cは直接共通バス2に接続されており、これらが同時に共通バス2を使用しないような手段が必要になる。

第1図で4a、4bおよび4cは共通バス2を使いたいというバス要求信号をCPUへ送る制御線であり、5a、5bおよび5cは共通バス2を使ってもよいというバス承認信号をCPUか

ら装置3a～3cへ送る制御線である。これらの制御線は装置3a～3cを直列に通ってCPUに接続している。

これは、装置3a～3cのうちのどれかがバス要求信号を出すと、他の装置が共通バス2を使っているかどうかの確認回路6a～6cを各装置に設け、この確認回路6a～6cを相互に接続し、共通バス2の使用状態をチェックするためである。

第1図のような従来装置では、各装置が共通バス2を使用する場合、他の装置の状態により制約を受けること、確認回路6a～6cを各装置に設けなければならないことなどの問題がある。これらの問題はCPUと各装置との間に制御線4a～4c、5a～5cが一对しかないためである。

この発明は、これらの問題を解決するためのもので、各装置ごとにバス要求信号とバス承認信号を接続するバス要求処理装置を設け、共通バスを使用する条件をこの要求処理装置で定めるようにしたものである。以下、図面にもとづき詳細に説明する。

第2図は、この発明装置の概要説明図である。装置7a～7cは第1図の装置2a～2cと異なり、確認回路6a～6cがない。制御線8a～8dはバス要求信号をCPUへ送る信号線であり、制御線9a～9dはバス承認信号をCPUから装置7a～7cへ送る信号線である。また、10はバス要求処理装置で、その内容はあとで説明するが、この発明の主要部である。

制御線8a～8cはバス要求処理装置10の入力へ並列に接続され、制御線8dが1つのバス要求信号をCPUへ伝える。制御線9dはCPUからのバス承認信号をバス要求処理装置10に送り、制御線9a～9cは装置7a～7cにそれぞれバス承認信号を送る。この場合、制御線9a～9cのなかでバス承認信号を実際に送るのはバス要求処理装置10で定められた1つの制御線だけである。

第3図は第2図のバス要求処理装置10の構成図の一例である。第3図では説明を分かりやすくするため、第2図のうちの制御線8a、8b、9a、

9bの2組だけの例を示しているが、制御線の数が増えても動作は同じである。

制御線8a、8bは装置7a、7bから優先順位指定回路11へ並列に入る。優先順位指定回路11は装置7a、7bについてあらかじめ定めた優先順位を与えるもので、第3図の例では装置7aの方が装置7bよりも優先順位が高いものとする。

優先順位指定回路11の出力と制御線9dからの信号はサンプルホールド回路12に入る。サンプルホールド回路12は、例えばラッチ形フリップフロップなどで構成することができ、制御線9dからの信号でその直前の出力状態を保持する。

サンプルホールド回路12の出力は2つに別れ、1つはゲート回路13a、13b、13cから制御線8dによりCPUに連し、他の1つはゲート回路14a、14bから制御線9a、9bにより装置7a、7bへバス承認信号を送る。

ゲート回路13a、13bはサンプルホールド回路12の出力と制御線8a、8bを入力とする

アンド回路であり、ゲート回路13cはゲート回路13a、13bの出力を入力とするオア回路である。また、ゲート回路14a、14bはサンプルホールド回路12の出力と制御線9dを入力とするアンド回路である。

第4図は第3図の優先順位指定回路11の一実施例の回路図である。11aはインバータ、11bはアンド回路である。第4図の入出力関係を論理レベル「1」、「0」で表わせば、次のとおりである。

ア. 8a = 「1」、8b = 「0」のとき、

15a = 「1」、15b = 「0」。

イ. 8a = 「0」、8b = 「1」のとき、

15a = 「0」、15b = 「1」。

ウ. 8a = 「1」、8b = 「1」のとき、

15a = 「1」、15b = 「0」。

エ. 8a = 「0」、8b = 「0」のとき、

15a = 「0」、15b = 「0」。

すなわち、制御線8a、8bがそれぞれ単独で「1」のときは、入力の状態がそのまま制御線

各制御線はすべて「0」になり、

9a = 「0」、9b = 「0」になる。

ア～エの状態を要約すると、次のとおりである。

装置7a、7bのどちらか1つからバス要求信号がでると、そのバス要求信号をCPU1に伝え、CPU1からバス承認信号をバス要求信号をだした装置7aまたは7bに送る。

装置7a、7bから同時にバス要求信号がでたときは、優先順位の高い装置7aにバス承認信号を送る。

バス要求信号がなくなると、バス承認信号もでなくなり、CPU1だけが共通バス2を占有する。

ところで、装置7a、7bのどちらか1つがバス要求信号をだした後に、他の装置がバス要求信号をだしてきたときはどうなるであろうか。この場合は、あとの装置がバス要求信号をだしたときに前の装置がどういふ状態にあるかによって異ってくる。以下、これらをその状態に分けて説明する。

ア. 装置7aが先で、装置7bが後のとき、

特開昭56-159726(3)

15aまたは15bにでるが、制御線8a、8bがともに「1」のときは、優先順位にしたがって制御線8aの入力だけが制御線15aにでる。

第5図にもどって、制御線8a、8bの状態により各制御線がどのような状態になるかを説明する。

ア. 8a = 「1」、8b = 「0」のとき、

15a = 「1」、15b = 「0」。

16a = 「1」、16b = 「0」。

17a = 「1」、17b = 「0」。

8d = 「1」で、9d = 「1」がでると、

9a = 「1」、9b = 「0」になる。

イ. 8a = 「0」、8b = 「1」のとき、

アの状態の逆になり、

9a = 「0」、9b = 「1」になる。

ウ. 8a = 「1」、8b = 「1」のとき、

15a = 「1」、15b = 「0」。

以下はアの状態と同じになり、

9a = 「1」、9b = 「0」になる。

エ. 8a = 「0」、8b = 「0」のとき、

15a = 「1」、15b = 「0」なので、順序どおり装置7aだけにバス承認信号を送る。

イ. 装置7bが先で、装置7aが後であり、装置7bにバス承認信号を送っているとき、

15a = 「1」、15b = 「0」となるが、

サンプルホールド回路12が16a = 「0」、

16b = 「1」を保持しているので、装置7bの動作が終るまで装置7aは共通バス2を

使うことはできない。

ウ. 装置7bが先で、装置7aが後であり、装置7bにバス承認信号を送っていないとき、

15a = 「1」、15b = 「0」となり、かつ、

サンプルホールド回路12はまだ保持状態ではないので、16a = 「1」、16b = 「0」となり、装置7aにバス承認信号を送る。

以上、詳細に説明したとおり、この発明によるバス要求処理装置を使用すれば、バス要求信号とバス承認信号を優先順位とタイミングの両方から制御することができる。

14a、14b……ゲート回路、15a、15b、
16a、16b、17a、17b……制御線。

代理人 弁理士 小俣 欽 司

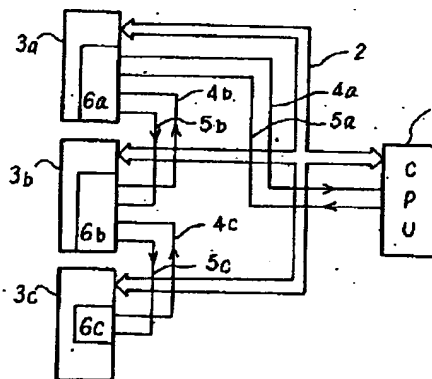
これにより、装置側からは装置相互間の動作には無関係にバス要求 号をCPUに送れるようになり、またCPU側からは装置個々の特性を判断することなく装置を動作させることができるようになる。いかえれば、1つのCPUと複数の装置とが、共通バスの使用については一対一で対応する形になり、共通バスを集中管理することができる。

4. 図面の簡単な説明

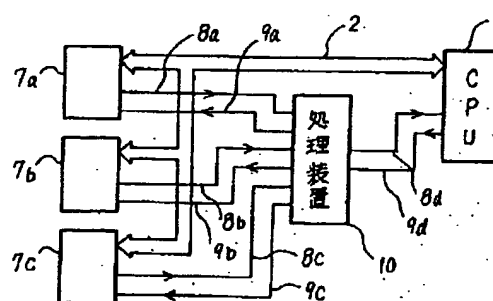
第1図は従来装置の構成例、第2図はこの発明装置の概要説明図、第3図はバス要求処理装置の構成図の一例、第4図は優先順位指定回路11の一実施例回路図である。

1……マイクロプロセッサ(CPU)、2……共通バス、3a～3c……装置、4a～4c……制御線、5a～5c……制御線、6……確認回路、7a～7c……装置、8a～8d……制御線、9a～9d……制御線、10……バス要求処理装置、11……優先順位指定回路、12……サンプルホールド回路、13a～13c……ゲート回路。

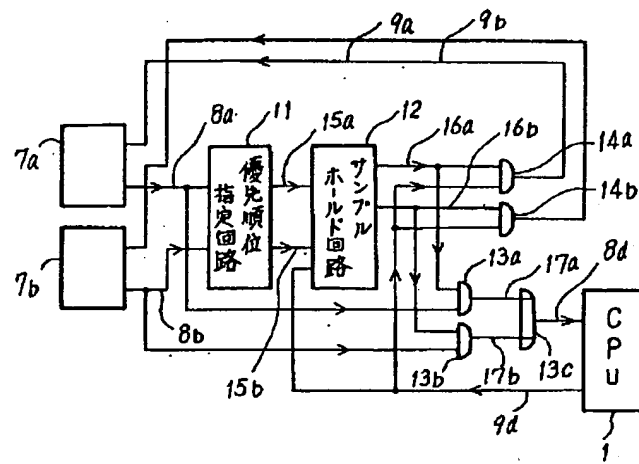
第1図



第2図



第 3 図



第 4 図

